

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-232518

(43)Date of publication of application : 05.09.1997

H01L 27/04

H01L 21/822

H01L 23/36

(21)Application number : 08-032410
(22)Date of filing : 20.02.1998

(71)Applicant :

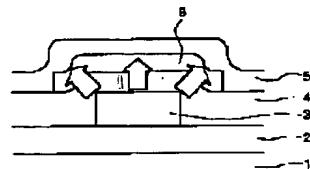
DENSO CORP
OKAYAMA YASUSHI
YAMAGUCHI HITOSHI
HIMI KEIMEI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the breakdown voltage, without increasing the size of a polycrystalline Si resistor.

SOLUTION: A polycrystalline resistor 3 is formed on a Si substrate 1 through an oxide film 2 and first interlayer insulation film 4 is formed thereon. A heat sink 8 is formed on this film 4 and second interlayer insulation film 5 is formed thereon. The heat sink 8 is made of Al having a higher thermal conductivity than those of the films 4, 5, to conduct the heat generated in the resistor 3 to the plate 8 through the insulation film 4, thereby radiating the heat. This suppresses temp. rise of the Si resistor 3, thus improving the withstanding voltage of the Si resistor 3.



LEGAL STATUS

[Date of request for examination] 28.03.2000
 [Date of sending the examiner's decision of rejection]

<http://www1.ipdl.jpo-miti.go.jp/PA1/result/detail/main/wAAAa24831DA409232516P1.htm>

00/12/13

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-232516

(43)公開日 平成9年(1997)9月5日

(51) Int.Cl.⁶
 H 01 L 27/04
 21/822
 23/36

識別記号 庁内整理番号

F I
 H 01 L 27/04
 23/36

技術表示箇所
 P
 C

審査請求 未請求 請求項の数 5 O L (全 4 頁)

(21)出願番号 特願平8-32410
 (22)出願日 平成8年(1996)2月20日

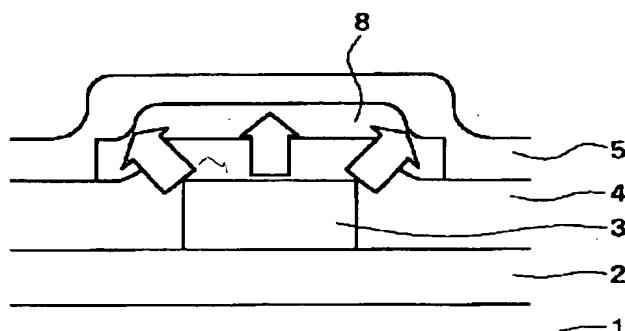
(71)出願人 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (72)発明者 岡山 靖
 愛知県刈谷市昭和町1丁目1番地 日本電
 装株式会社内
 (72)発明者 山口 仁
 愛知県刈谷市昭和町1丁目1番地 日本電
 装株式会社内
 (72)発明者 氷見 啓明
 愛知県刈谷市昭和町1丁目1番地 日本電
 装株式会社内
 (74)代理人 弁理士 伊藤 洋二

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 多結晶シリコン抵抗のサイズを大きくすることなく、耐圧向上させる。

【解決手段】 シリコン基板1上に酸化膜2を介して多結晶シリコン抵抗3が形成され、その上に第1の層間絶縁膜4が形成されている。この第1の層間絶縁膜4上には放熱板8が形成され、その上に第2の層間絶縁膜5が形成されている。ここで、放熱板8を第1、第2の層間絶縁膜4、5より熱伝導率の高いA1で形成することにより、多結晶シリコン抵抗3で発生した熱を第1の層間絶縁膜4を介し放熱板8に伝導させて放熱する。従つて、多結晶シリコン抵抗3の温度上昇を抑制して、多結晶シリコン抵抗3の耐圧向上させることができる。



- 1 : シリコン基板
- 2 : 酸化膜
- 3 : 多結晶シリコン抵抗
- 4 : 第1の層間絶縁膜
- 5 : 第2の層間絶縁膜
- 8 : 放熱板

【特許請求の範囲】

【請求項1】半導体基板(1)の上に多結晶シリコン抵抗(3)が形成され、その上に層間絶縁膜(4、5)が形成されてなる半導体装置において、前記層間絶縁膜(4、5)より熱伝導率の高い放熱板(8)が前記多結晶シリコン抵抗(3)の上に形成されていることを特徴とする半導体装置。

【請求項2】前記層間絶縁膜は、前記多結晶シリコン抵抗(3)上に形成された第1の層間絶縁膜(4)と、この第1の層間絶縁膜上に形成された第2の層間絶縁膜(5)からなり、前記放熱板(8)は前記第1の層間絶縁膜(4)と前記第2の層間絶縁膜(5)の間に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記放熱板(8)は絶縁体であって、前記多結晶シリコン抵抗(3)上に直接形成され、この放熱板(8)の上に前記層間絶縁膜(5)が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記放熱板(8)は、前記多結晶シリコン抵抗(3)を横切るように前記多結晶シリコン抵抗(3)の幅より長く形成されていることを特徴とする請求項1乃至3のいずれか1つに記載の半導体装置。

【請求項5】半導体基板(1)に、半導体素子(100)および多結晶シリコン抵抗(3)を形成し、層間絶縁膜(4)を形成した後に、前記半導体素子(100)および前記多結晶シリコン抵抗(3)の配線(7)を形成してなる半導体装置の製造方法において、前記配線(7)の形成時に、前記配線(7)と同一材料の放熱板(8)を前記多結晶シリコン抵抗(3)の上に形成したことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板上に多結晶シリコン抵抗を形成してなる半導体装置およびその製造方法に関する。

【0002】

【発明が解決しようとする課題】EL駆動用ドライバICにおいては、非常に高い電圧(例えば200V)が印加されるため、高耐圧トランジスタとともに高耐圧の抵抗が必要とされている。この場合の抵抗としては多結晶シリコン抵抗が用いられる。図6に、そのようなEL駆動用ドライバICに用いられる多結晶シリコン抵抗部(第2の層間絶縁膜5を除く)の平面構造、図7に図6中のB-B断面構造を示す。

【0003】シリコン基板1上には、酸化膜2を介して多結晶シリコン抵抗3が形成され、その上に第1、第2の層間絶縁膜4、5が形成されている。また、コンタクト6により多結晶シリコン抵抗3とA1配線7とが電気的に接続されている。このような構成において、多結晶シリコン抵抗3で発生した熱は、第1、第2の層間絶縁

膜4、5から放熱される。

【0004】多結晶シリコン抵抗3の温度係数は正であるので、温度が上がるほど抵抗値は下がり、電流が流れ発熱が増大する。この発熱の増大により多結晶シリコン抵抗3は破壊に至る。従って、多結晶シリコン抵抗3の耐圧は、多結晶シリコン抵抗3の発熱により低下する。この場合、多結晶シリコン抵抗3のサイズを大きくすれば単位面積当たりの発熱量が小さくなるため、耐圧を向上させることができるが、チップ面積が大きくなり、コストが増大してしまう。

【0005】本発明は上記問題に鑑みたもので、多結晶シリコン抵抗のサイズを大きくすることなく、耐圧を向上させることを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するため、請求項1乃至4に記載の発明においては、層間絶縁膜より熱伝導率の高い放熱板を多結晶シリコン抵抗の上に形成したことを特徴としている。従って、多結晶シリコン抵抗から発生する熱を多結晶シリコン抵抗上に配置した熱伝導率の高い放熱板に伝導させ、多結晶シリコン抵抗の温度の上昇を抑制して、多結晶シリコン抵抗の耐圧を向上させることができる。

【0007】この場合、請求項3に記載の発明のように、放熱板を絶縁体として、多結晶シリコン抵抗上に直接形成すれば、放熱効果をより高めることができる。また、請求項4に記載の発明のように、放熱板を、多結晶シリコン抵抗を横切るように多結晶シリコン抵抗の幅より長く形成すれば、放熱面積を大きくして、放熱効果をより高めることができる。

【0008】また、請求項5に記載の発明のように、半導体素子および多結晶シリコン抵抗の配線の形成時に、その配線と同一材料の放熱板を多結晶シリコン抵抗の上に形成するようにすれば、余分な製造工程を必要とすることなく、多結晶シリコン抵抗の放熱構造を形成することができる。

【0009】

【発明の実施の形態】

(第1実施形態) 図1に、本発明の第1実施形態に係るEL駆動用ドライバIC等の半導体装置に用いられる多結晶シリコン抵抗部(第2の層間絶縁膜5を除く)の平面構造、図2に図1中のA-A断面構造を示す。

【0010】シリコン基板1上には、酸化膜2を介して多結晶シリコン抵抗3が形成され、その上に第1、第2の層間絶縁膜(例えは、リンドープのシリコン酸化膜、窒化シリコン膜)4、5が形成されている。また、コンタクト6により多結晶シリコン抵抗3とA1配線7とが電気的に接続されている。第1、第2の層間絶縁膜4、5の間には、それらの層間絶縁膜4、5より熱伝導率の高いA1で形成された放熱板8が形成されている。この放熱板8は、図1に示すように、多結晶シリコン抵抗3

を横切るように、かつ多結晶シリコン抵抗3の幅より長く形成されている。

【0011】上記した構成により、多結晶シリコン抵抗3で発生した熱は、第1の層間絶縁膜4を介し放熱板8から放熱される。この場合、放熱板8の熱伝導率は、層間絶縁膜4、5より高いため、図6、図7に示す従来構造のものよりも効率よく放熱することができ、多結晶シリコン抵抗3の温度上昇を抑制することができる。また、放熱板8を多結晶シリコン抵抗3の幅より長く形成することにより、その放熱面積を大きくして、放熱効果を高めることができる。

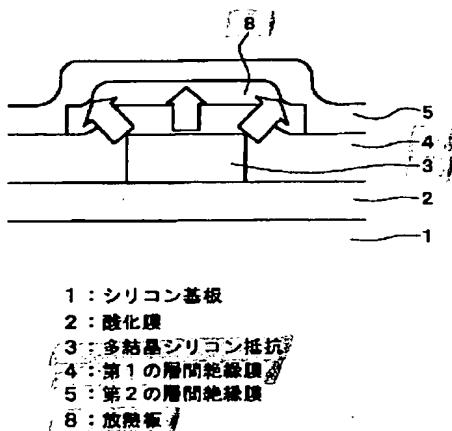
【0012】図3に、その放熱効果を示す。この実験結果は、多結晶シリコン抵抗3を長さ100μm、幅50μmとし、放熱板8をA1で長さ90μm、幅20μm、厚さ1.5μmに形成した時のものである。多結晶シリコン抵抗3のシート抵抗を、6.2kΩ/□、4.1kΩ/□のいずれにしても、耐圧が約20V向上している。

【0013】なお、放熱板8の材料は、層間絶縁膜4、5より熱伝導率の高いものあれば、他の材料を用いてよい。次に、上記した半導体装置の製造方法について図4を用いて説明する。

【図4(a)の工程】シリコン基板1に、半導体素子としてのCMOSトランジスタ100を形成するために、Nウェル10、Pウェル11を形成し、ゲート酸化膜2を形成し、また他の領域においてLOCOS酸化膜2を形成する。そして、ゲート12および多結晶シリコン抵抗3を形成し、Nウェル10、Pウェル11内にソース・ドレイン13をそれぞれ形成する。

【0014】【図4(b)の工程】第1の層間絶縁膜4を形成した後、コンタクトホールを形成し、CMOSトランジスタのゲート12、ソース・ドレイン13、および多結晶シリコン抵抗3にA1配線7を形成する。この配線形成時に、上記した放熱板8もA1にて同時に形成する。

【図2】



【0015】【図4(c)の工程】この後、第2の層間絶縁膜5を形成する。上記した製造方法によれば、A1配線7の形成時に同時に放熱板8を形成することができるため、放熱板8の形成のために余分な工程を用いることなく、従来の工程をそのまま用いて放熱構造を形成することができる。

(第2実施形態) 上記第1実施形態では、多結晶シリコン抵抗3の上に第1の層間絶縁膜4を介して放熱板8を形成するものを示したが、放熱板8を層間絶縁膜より熱伝導率の高い絶縁体で形成し、それを多結晶シリコン抵抗3上に直接形成するようにしてもよい。

【0016】この第2実施形態の断面構造を図5に示す。平面構造は図1に示すものと同様である。この第2実施形態においては、放熱板8を多結晶シリコン抵抗3に直接接触させるようにしているため、第1実施形態より高い放熱効果を得ることができ、耐圧を一層向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る、半導体装置に用いられる多結晶シリコン抵抗部の平面図である。

【図2】図1に示すもののA-A断面図である。

【図3】本発明の第1実施形態の放熱効果を示す図である。

【図4】本発明の第1実施形態の製造工程を示す工程図である。

【図5】本発明の第2実施形態に係る、半導体装置に用いられる多結晶シリコン抵抗部の断面図である。

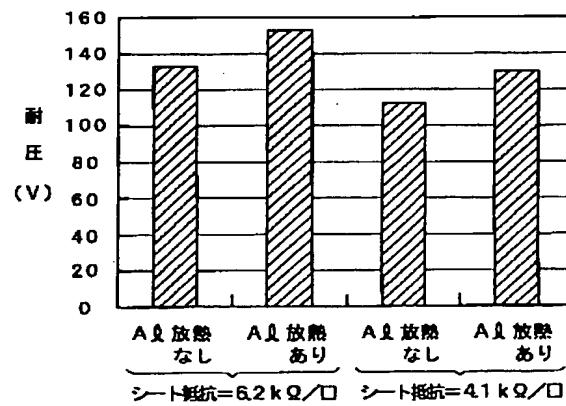
【図6】従来の半導体装置に用いられる多結晶シリコン抵抗部の平面図である。

【図7】図6に示すものの断面図である。

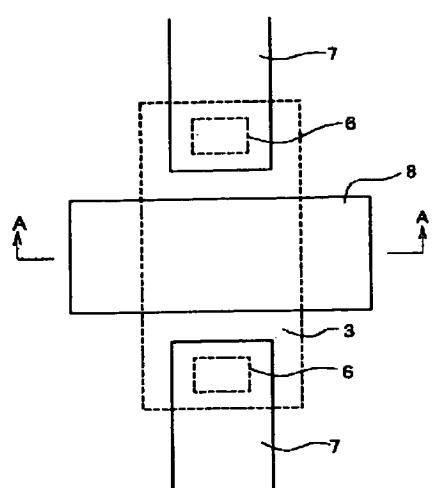
【符号の説明】

1…シリコン基板、2…シリコン酸化膜、3…多結晶シリコン抵抗、4、5…層間絶縁膜、6…コンタクト、7…A1配線、8…放熱板。

【図3】

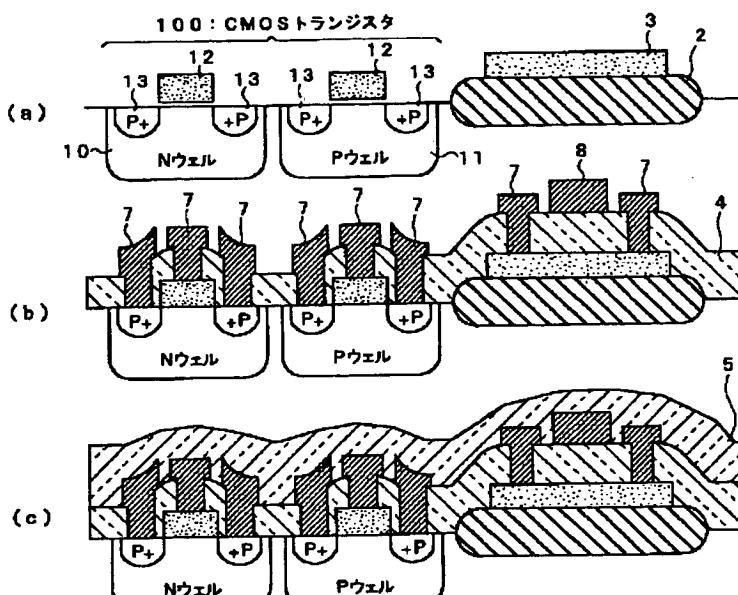


【図1】

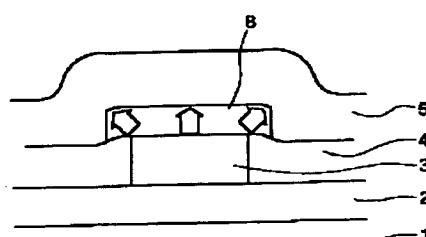


3 : 多結晶シリコン抵抗
6 : コンタクト
7 : A上配線
8 : 放熱板

【図4】

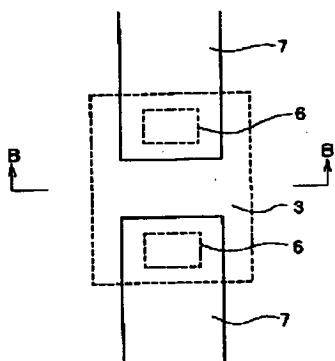


【図5】



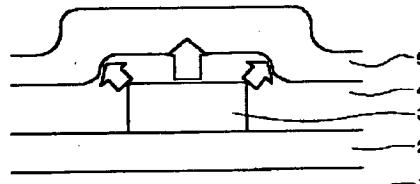
1 : シリコン基板
2 : 酸化膜
3 : 多結晶シリコン抵抗
4 : 第1の層間絶縁膜
5 : 第2の層間絶縁膜
8 : 放熱板

【図6】



3 : 多結晶シリコン抵抗
6 : コンタクト
7 : A上配線

【図7】



1 : シリコン基板
2 : 酸化膜
3 : 多結晶シリコン抵抗
4 : 第1の層間絶縁膜
5 : 第2の層間絶縁膜